

Circuitos Lógicos Sequenciais

1

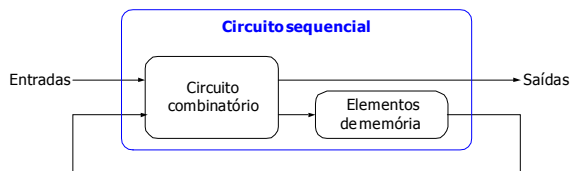
Sumário

- Circuitos lógicos sequenciais
 - Definição de circuito sequencial
 - *Latches*
 - *Latch* SR
 - *Latch* D
 - *Flip-flops*
 - *Flip-flops* JK e SR *Master-Slave*
 - *Flip-Flop* JK e D *Edge Triggered*

2

Circuitos Sequenciais

- **Definição** – um circuito diz-se sequencial quando as suas saídas dependem não só das entradas, mas também do estado anterior do circuito.



3

Circuitos Sequenciais

- Os circuitos sequenciais podem ser:
 - **Assíncronos** – para **qualquer instante de tempo** as saídas dependem das entradas e do estado do circuito.
 - **Síncronos** – as saídas mantêm-se inalteradas em **certos intervalos de tempo**.

4

Latches e Flip-Flops

- **Latch** – elemento básico que permite armazenar indefinidamente um bit de informação.
- **Flip-Flop** – elemento construído a partir de *latches*, e que permite maior controlo no armazenamento da informação

5

Latches

- **Latch** SR

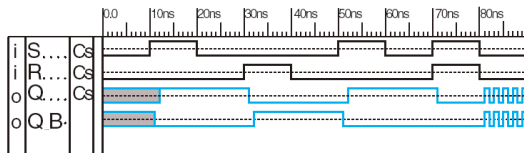
Esquema		Tabela de funcionamento			
	R (Reset)	S	Q	$\bar{Q}$	
	1	0	0	1	Reset
	0	0	0	1	
	0	1	1	0	Set
	0	0	1	0	
	1	1	0	0	Indefinido
	0	0	?	?	

6

Latches

Latch SR

Simulação temporal



7

Latches

Latch SR – Resumo das operações

- $S=0$ e $R=1$ – Reset ($Q=0$; $\bar{Q}=1$)
- $S=1$ e $R=0$ – Set ($Q=1$; $\bar{Q}=0$)
- $S=0$ e $S=0$ – Manter o estado anterior
- $S=1$ e $R=1$ – Não é utilizado, pois pode conduzir a um estado indefinido

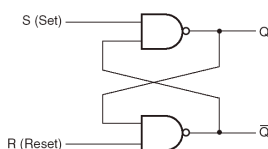
8

Latches

Latch $\bar{S}\bar{R}$

Esquema

Tabela de funcionamento



S	R	Q	$\bar{Q}$
1	0	0	1
1	1	0	1
0	1	1	0
1	1	1	0
0	0	1	1
1	1	?	?

Reset

Set

Indefinido

9

Latches

Latch $\bar{S}\bar{R}$ – Resumo das operações

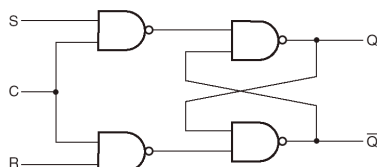
- $S=0$ e $R=1$ – Set
- $S=1$ e $R=0$ – Reset
- $S=1$ e $R=1$ – Manter o estado anterior

Este *latch* é semelhante ao *latch* SR visto anteriormente. A principal diferença é que este *latch* responde ao nível lógico '0'.

10

Latches

- Introduzindo uma **variável de controle** C é possível melhorar o armazenamento da informação

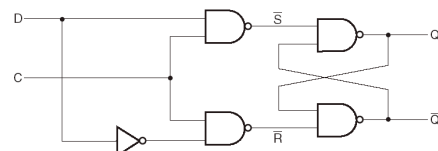


Este *latch* SR só permite operações Set e Reset quando a variável C está no nível lógico '1'.

11

Latches

Latch D



C	D	Q_{t+1}
0	X	Q_t
1	0	0
1	1	1

Manter estado

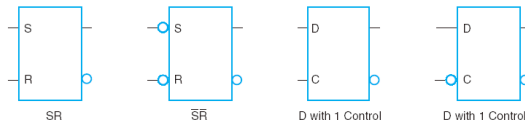
Reset

Set

12

Latches

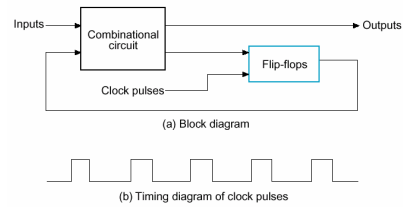
■ Símbolos



13

Impulsos de Relógio

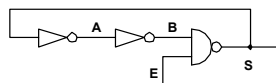
- Nos circuitos sequenciais síncronos o **signal de relógio (Clock)** assegura o sincronismo



14

Impulsos de Relógio

- Gerador de impulsos de relógio - dispositivo que permite definir intervalos de tempo
 - Exemplo (ilustrativo)

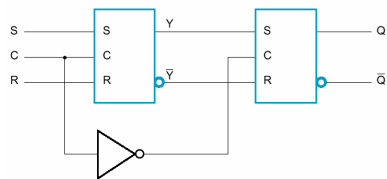


- São habitualmente construídos a partir de cristais de quartzo

15

Flip-flops

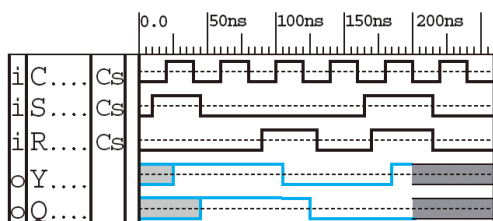
■ Flip-flop SR Master-Slave



16

Flip-flops

■ Flip-flop SR Master-Slave



17

Flip-flops

■ Flip-flop SR Master-Slave

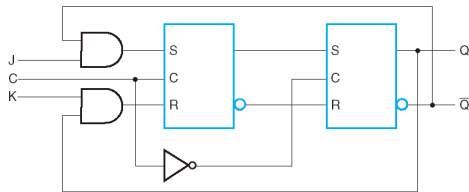
Tabela característica

C	S	R	Q_{t+1}
$\square$	0	0	Q_t
$\square$	0	1	0
$\square$	1	0	1
$\square$	1	1	?

18

Flip-flops

Flip-flop JK Master-Slave



19

Flip-flops

Flip-flop JK Master-Slave

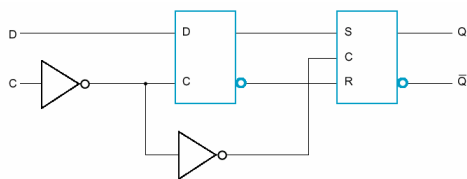
Tabela característica

C	J	K	Q_{t+1}
	0	0	Q_t
	0	1	0
	1	0	1
	1	1	$\overline{Q_t}$

20

Flip-flops

Flip-flop D Edge-Triggered



21

Flip-flops

Flip-flop D Edge-Triggered

Tabela característica

C	D	Q_{t+1}
	0	0
	1	1

22

Flip-flops

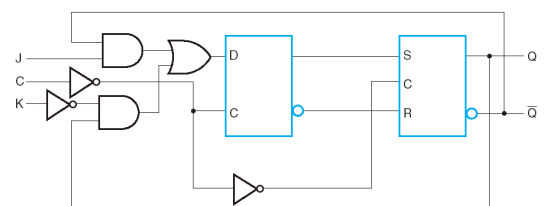
Temporização

- **Tempo de Setup** – tempo necessário para ter a entrada estável antes de uma transição do relógio
- **Tempo de Hold** – tempo em que é necessário ter a entrada estável após uma transição do relógio
- **Tempo de propagação** – tempo que demora até que saída se encontre estável, após uma transição do relógio

23

Flip-flops

Flip-Flop JK Edge-Triggered



24



Flip-flops

■ Símbolos



J-K Triggered SR



J-K Triggered SR



J-K Triggered JK



J-K Triggered JK

Master-Slave Flip-Flops



J-K Triggered D



J-K Triggered D



J-K Triggered JK



J-K Triggered JK

Edge-Triggered Flip-Flops

25

5